

■ Kommunikations-ICs:

Gigabit-Übertragung auf vier Rädern

Die auf die Herstellung von Halbleitern mit hoher Datenübertragungsrate spezialisierte Münchner Firma Inova Semiconductors hat nach einer sechzehnmonatigen Entwicklungsphase einen neuen Chipsatz vorgestellt, der für die Übertragung von Videodaten im Automobil geeignet ist: In Hauptrichtung können die Chips 1 Gbit/s, im Rückkanal 18 Mbit/s über verdrehte Zweidrahtleitungen übertragen.

Mit der neuen APIX-Linie führt der Münchner Halbleiterhersteller Inova Semiconductors (www.inova-semiconductors.de) sein „GigaSTaR“-Programm konsequent weiter. Das System wird heute bereits weltweit in abgesetzten Bedienterminals, Kamera-Überwachungssystemen, Video-Bildwänden und vielen Infotainment-Systemen eingesetzt. Mit dem Trend zu immer größeren Displays mit hoher Bildauflösung dringt der „GigaSTaR Digital Display Link“ auch in den Bereich der Unterhaltungselektronik vor, etwa für das digitale Heimkino mit Großbildschirmen und Projektoren. Und hier schliesst sich der Kreis: Nachdem auch das Auto immer mehr zum

Wohnzimmer auf vier Rädern mutiert, war es naheliegend, auch eine entsprechende Lösung fürs Fahrzeug zu schaffen. Bei der Entwicklung der APIX-Bausteine galt es deshalb, die Vorteile des GigaSTaR-Konzepts auf die besonderen Erfordernisse im Fahrzeug zu übertragen – neben einer „maßgeschneiderten“ Funktion ist vor allem eine besonders hohe elektromagnetische Verträglichkeit wichtig, aber auch ein Preis/Leistungsverhältnis, das den Budgets der Autohersteller entgegenkommt.

Der „Automotive Pixel Link“ überträgt 1 Gbit pro Sekunde

Die APIX-Bausteine (Automotive Pixel Link) sind die erste bitserielle Chip-generation, die über ein Leitungspaar 1 Gbit/s Daten in Echtzeit überträgt und auf der selben Leitung gleichzeitig einen 18 Mbit/s Rückkanal realisiert – und das alles abgestimmt und angepasst an die strengen EMV-Anforderungen der Automobilelektronik. Haupteinsatzgebiet für diese Punkt-zu-Punkt-Zweidraht-Verbindung sind die neuen, größeren LC-Bildschirme im Cockpit, die in naher Zukunft auch herkömmliche, analoge Instrumente ersetzen werden. Gleichzeitig ermöglicht der APIX-Link auch die intelligente Anbindung der neuen CMOS-Sensor-Kameras an eine entfernte Host-Einheit. Damit lassen sich moderne Fahrerassistenzsysteme realisieren, die neben der Einparkhilfe auch die automatische Hinderniserkennung und Unfallvermeidung bewerkstelligen.

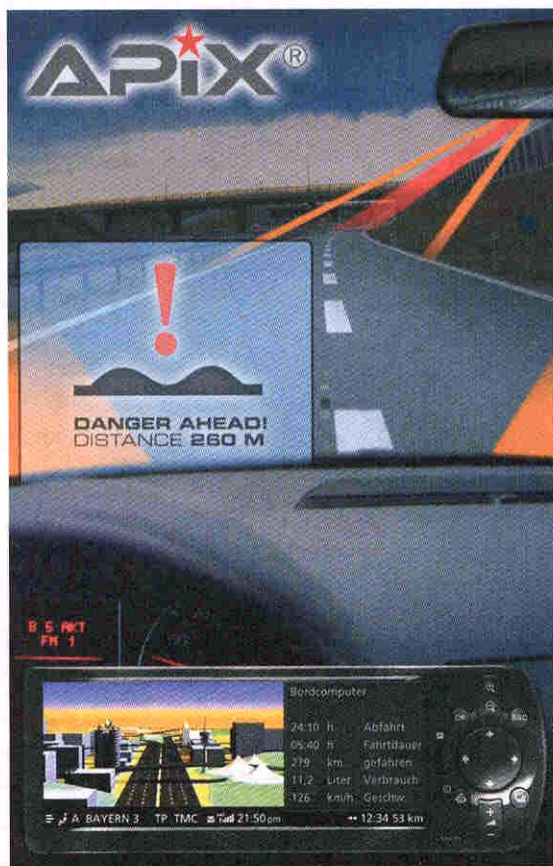
Das Konzept beruht auf Parallel-Seriell-/Seriell-Parallel-Umsetzung (Serializer/Deserializer): Die digitalen Signale werden über differentielle CML-Ein-/Ausgänge (Current-Mode-

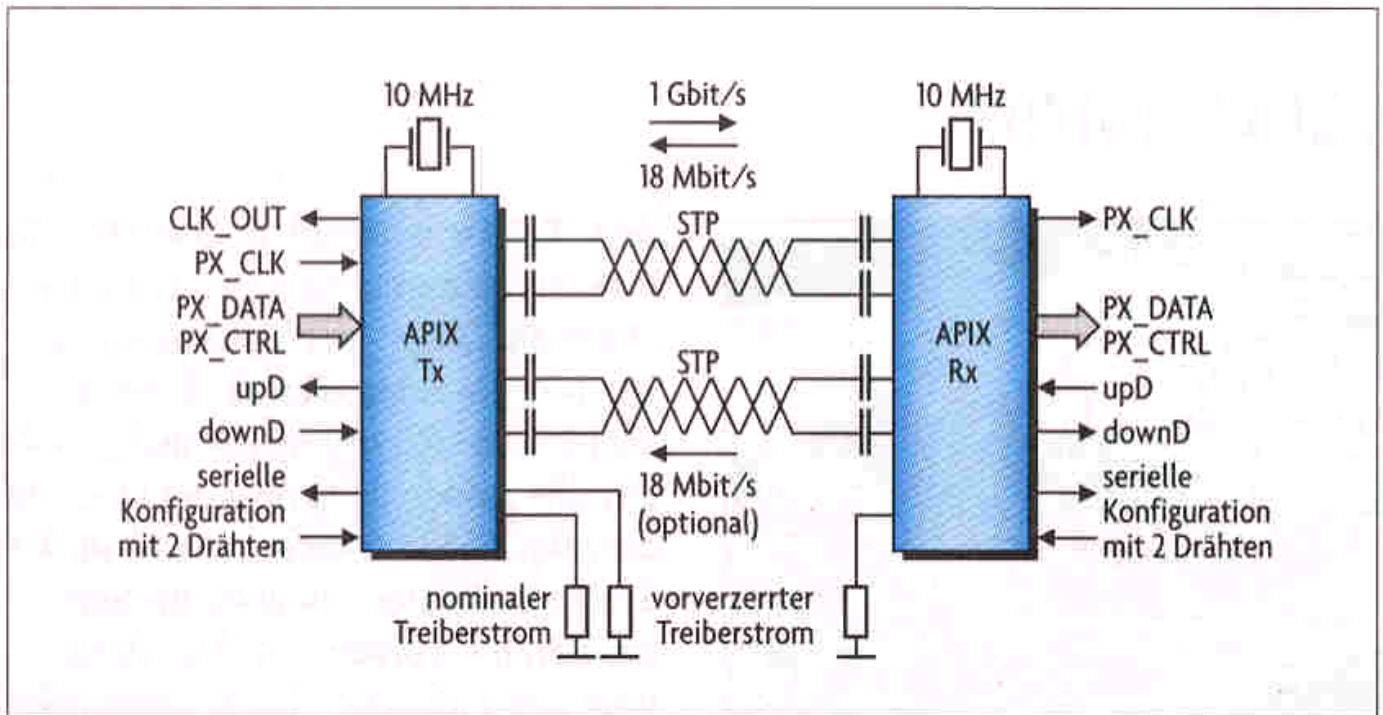
Logic) gleichspannungsfrei (DC-balanced) übertragen. Die Chips sind in einem 0,18- μ m-CMOS-Prozess realisiert und arbeiten in einem erweiterten Temperaturbereich von -40°C bis $+105^{\circ}\text{C}$. Die Bausteine wurden in enger Zusammenarbeit mit einem namhaften Automobilhersteller und führenden Zulieferern entwickelt.

Gutes EMV-Verhalten dank einstellbarer Leitungstreiber

Zur Minimierung der HF-Abstrahlung lässt sich der Strom der Leitungstreiber, und damit die Signalamplitude, stufenlos einstellen. Ferner wurde der Sende-Baustein (Tx) mit einer einstellbaren Signalverzerrung (Preemphasis) ausgestattet. Der Empfänger-Chip (Rx) verfügt zusätzlich über einen zuschaltbaren Kabelentzerrer (Equalizer). Für Kamera-Anwendungen lässt sich der Link auf eine Bandbreite von 500 Mbit/s heruntertakten. Mit all diesen Maßnahmen lassen sich Entfernungen bis zu 15 Metern und mehr EMV-optimiert per STP-Kabel überbrücken.

Die APIX-Bausteine sind über ein Zweidraht-„Microwire-kompatibles“ Interface konfigurierbar und lassen sich so an alle gängigen Displays oder CMOS-Kamerasensoren mit digitaler RGB-Schnittstelle (10/12/18/24-bit-Pixel-Interfaces) eins zu eins anpassen. Ein bidirektionaler, 2 bit breiter Seitenband-Kanal mit maximal 18 Mbit/s erlaubt die Steuerung und Einstellung der CMOS-Sensoren und Displays, gleichzeitig können aber auch deren Betriebsparameter am Host überwacht werden. Das so genannte „Staggered Output Switching“, also das zeitlich minimal versetzte Ein-/Ausschalten der 10 bis 24 parallelen Ausgänge des Empfänger-Bausteins, reduziert die Stromspitzen während des Schaltvorganges und sorgt so für weniger Rauschen auf der gesamten Platine – eine kleine Maßnahme, die aber ganz erheblichen Einfluss auf die EMV und Signalgüte bzw. Störsicherheit hat. Diese Funktion kann nach Bedarf ein- und ausgeschaltet werden. Zur Minimierung der Anschlusszahl und der Platinenfläche sind die 10-





Der APIX-Chipsatz besteht aus zwei Bausteinen, einem Sender (Tx) und einem Empfänger (Rx), wobei in Hauptrichtung eine Datenrate von 1 Gbit/s und in Gegenrichtung 18 Mbit/s übertragen werden können.

(Quelle: Inova)

bzw. 12-bit-Bausteine in $7 \times 7 \text{ mm}^2$ beziehungsweise $8 \times 8 \text{ mm}^2$ großen „Quad-Flat-Narrow“-Plastikgehäusen (44- od. 48-Pin-QFN) verfügbar, die 18- bzw. 24-bit breiten Bausteine kommen in ein 52- bzw. 64-Pin-QFN-Gehäuse (8×8 bzw. $9 \times 9 \text{ mm}^2$), sie sind bleifrei ausgeführt und entsprechen den RoHS-Richtlinien.

Seinen ersten Auftritt wird APIX auf dem Stand von Inteltek (H12/260) auf der Embedded World haben, die vom 14. bis 16. Februar 2006 in Nürnberg stattfindet. Dort wird eine Evaluierungsplattform von APIX ausgestellt, mit der Kunden alle Funktionen konfigurieren und alle Eigenschaften austesten können.